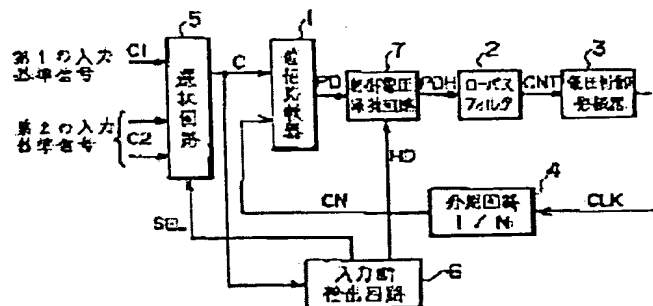


Patent number:	JP8018447
Publication date:	1996-01-19
Inventor:	NAGANO NOBUYUKI
Applicant:	mitsubishi electric corp
Classification:	
- international:	H03L7/14; H03L7/00; H03L7/08
- european:	
Application number:	JP19940146830 19940628
Priority number(s):	

PURPOSE:To maintain the stability of a PLL system, to prevent the disturbance of generated clocks and to improve the reliability of the system in the transition period of switching to the input reference signals of a standby system when abnormality is generated in the input reference signals of an active system.

CONSTITUTION:When the loss of reference signals C from a selection circuit 5 is detected by an input interruption detection circuit 6, voltage holding signals HD are supplied to a control voltage holding circuit 7, selection switching signals SEL for switching the reference signals are outputted to the selection circuit 5 and the reference signals are switched by the selection circuit 5. In the meantime, control signals to be supplied to a voltage controlled oscillator 3 are held at a value immediately before by the control voltage holding circuit 7, the oscillation of clock signals CLK by the voltage controlled oscillator 3 is stably maintained and the reference signals are stably switched.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-18447

(43) 公開日 平成8年(1996)1月19日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/14	A			
7/00	C			
7/08				
			H 0 3 L 7/08	G
			審査請求	未請求 請求項の数13 O L (全 17 頁)

(21) 出願番号 特願平6-146830

(22) 出願日 平成6年(1994)6月28日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 長野 宣行

兵庫県尼崎市塚口本町8丁目1番1号 三

菱電機株式会社通信機製作所内

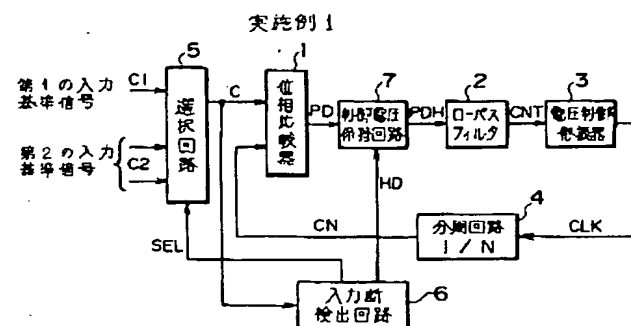
(74) 代理人 弁理士 吉田 研二 (外2名)

(54) 【発明の名称】 PLL回路装置

(57) 【要約】

【目的】 現用系の入力基準信号に異常を発生し、予備系の入力基準信号に切り替える過渡期において、PLL系の安定性を保ち、発生するクロックの攪乱を防止し、系の信頼性を高める。

【構成】 入力断検出回路6により、選択回路5からの基準信号Cの喪失が検出されると、制御電圧保持回路7に電圧保持信号HDを与え、また、選択回路5に対して、基準信号を切替えるための選択切替信号SELを出力し、選択回路5による基準信号の切替を行わせると共に、この間に、電圧制御発振器3に与える制御信号を、制御電圧保持回路7により、直前の値に保持させ、電圧制御発振器3によるクロック信号CLKの発振を安定に保つと共に基準信号の切替を安定に行わせる。



【特許請求の範囲】

【請求項1】 クロックを発生する発振手段と、前記クロックを分周して分周クロックとする分周手段と、複数の基準信号から1つを選択して、制御用基準信号を出力する選択手段と、前記分周手段からの分周クロックを、前記選択手段からの制御用基準信号と位相比較する位相比較手段と、前記位相比較手段の出力をそのまま、または保持して、前記発振手段に制御信号として与える制御電圧保持手段と、前記選択手段からの制御用基準信号が喪失したことを検出して、前記制御電圧保持手段に保持信号を与えると共に、前記選択手段に対して、基準信号を切替えるための選択切替信号を出力する入力断検出手段とを、備えることを特徴とするPLL回路装置。

【請求項2】 前記入力断検出手段が、選択切替信号を出力した後は、一定の時間、その出力を禁止する機能を有する、請求項1のPLL回路装置。

【請求項3】 クロックを発生する発振手段と、前記クロックを分周して分周クロックとする分周手段と、複数の基準信号から1つを選択して、制御用基準信号を出力する選択手段と、前記分周手段からの分周クロックを、前記選択手段からの制御用基準信号と位相比較する位相比較手段と、前記位相比較手段の出力をそのまま、または保持して、前記発振手段に制御信号として与える制御電圧保持手段と、前記位相比較手段によって検出される位相差が一定の位相差よりも大きい場合に、これを検出して、前記制御電圧保持手段に保持信号を与えると共に、前記選択手段に対して、基準信号を切替えるための選択切替信号を出力する位相差判定手段とを、備えることを特徴とするPLL回路装置。

【請求項4】 前記位相差判定手段から、前記制御電圧保持手段に与えられる保持信号が、あらかじめ設定された一定の時間出力される、請求項3のPLL回路装置。

【請求項5】 前記位相差判定手段が、選択切替信号を出力した後は、一定の時間、その出力を禁止する機能を有する、請求項3または4のPLL回路装置。

【請求項6】 クロックを発生する発振手段と、前記クロックを分周して分周クロックとする分周手段と、複数の基準信号から1つを選択して、制御用基準信号を出力する選択手段と、前記分周手段からの分周クロックを、前記選択手段からの制御用基準信号と位相比較する位相比較手段と、前記位相比較手段の出力をそのまま、または保持して、前記発振手段に制御信号として与える制御電圧保持手段と、前記発振手段に与えられる制御信号が異常なレベルになった場合に、これを検出して、前記制御電圧保持手段に保持信号を与えると共に、前記選択手段に対して、基準信号を切替えるための選択切替信号を出力する電圧変化検出手段とを、備えることを特徴とするPLL回路装置。

【請求項7】 前記電圧変化検出手段が、選択切替信号を出力した後は、一定の時間、その出力を禁止する機能を

を有する、請求項6のPLL回路装置。

【請求項8】 クロックを発生する発振手段と、前記クロックを分周して分周クロックとする分周手段と、複数の基準信号から1つを選択して、制御用基準信号を出力する選択手段と、前記分周手段からの分周クロックを、前記選択手段からの制御用基準信号と位相比較する位相比較手段と、前記位相比較手段の出力をそのまま、または保持して、前記発振手段に制御信号として与える制御電圧保持手段と、前記発振手段からのクロックに基づいてウィンドウを発生し、このウィンドウ内に制御用基準信号のパルスが無い場合に、これを検出して、前記制御電圧保持手段に保持信号を与えると共に、前記選択手段に対して、基準信号を切替えるための選択切替信号を出力するパルス検出手段とを、備えることを特徴とするPLL回路装置。

【請求項9】 前記パルス検出手段はウィンドウ内に選択された基準信号の有無を検出し、基準信号のパルスが検出されなかった場合、前記制御電圧保持手段に与えられる保持信号が、あらかじめ設定された一定の時間出力される、請求項8のPLL回路装置。

【請求項10】 前記パルス検出手段が、選択切替信号を出力した後は、一定の時間、その出力を禁止する機能を有する、請求項9のPLL回路装置。

【請求項11】 クロックを発生する発振手段と、前記クロックを分周して分周クロックとする分周手段と、複数の基準信号から1つを選択して、制御用基準信号を出力する選択手段と、前記分周手段からの分周クロックを、前記選択手段からの制御用基準信号と位相比較する位相比較手段と、前記位相比較手段の出力をそのまま、または保持して、前記発振手段に制御信号として与える制御電圧保持手段と、前記制御用基準信号により決定される一定の時間内に、前記発振手段からのクロックを計数して、この計数値が前記分周手段の分周比からみて正常か否かを判定し、異常判定の場合に、前記制御電圧保持手段に保持信号を与えると共に、前記選択手段に対して、基準信号を切替えるための選択切替信号を出力するクロック数判定手段とを、備えることを特徴とするPLL回路装置。

【請求項12】 前記クロック数判定手段から、前記制御電圧保持手段に与えられる保持信号が、あらかじめ設定された一定の時間出力される、請求項11のPLL回路装置。

【請求項13】 前記選択手段が、前記クロック数判定手段から、選択切替信号を与えられると、一定の時間は、再度の選択切替信号の受付を禁止する機能を有する、請求項11または12のPLL回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はPLL回路装置に係り、特に、通信システムなどのクロックを高い信頼性で

得るために、現用系に対して予備系を付加した、冗長構成の位相同期ループ回路において、系の切り替え時における過渡期の安定性を確保するための回路構成に関する。

【0002】

【従来の技術】従来から、基準信号に位相同期したクロック信号を発生させるために、位相同期ループ回路、つまりPLL回路装置が用いられてきた。このようなPLL回路装置を、データを伝送する通信システムなどにおける、データ系のシステムクロックに用いようとする、その信頼性を高める必要があるが、そのために、従来から予備系を備えた冗長な構成が採用されてきた。

【0003】例えば、特開平4-32330号では、外部からの基準信号が遮断した場合に、内部の基準信号に切り替える構成が開示されており、また特開平4-357713では、現用の基準信号を予備の基準信号に切り替える場合に、これを無瞬断で行う技術が開示されている。

【0004】一方、特開平4-29189号には、第1の基準クロックに異常があった場合に、これを第2の基準クロックの分周出力に切り替える構成が開示されている。

【0005】図6は、かかる従来の冗長系を備えるPLL回路装置の回路図である。図において、5は現用系を構成する第1の入力基準信号C1と第2の入力基準信号C2を選択して、基準信号Cとして出力する選択回路、6は、選択回路5により選択された基準信号Cが一定の時間を超えて遮断した場合に、これを検出して、選択回路5に選択切替信号SELを送出する入力断検出回路、3は入力電圧により制御される周波数のクロック信号CLKを発生する電圧制御発振器、4は電圧制御発振器3の出力クロック信号をN分周して分周信号CNを発生する分周回路、1は選択回路5により選択された基準信号Cと、分周回路4からの分周信号CNの位相を比較して、これに応じた位相偏差信号PDを出力する位相比較器、2は位相比較器1からの位相偏差信号PDから高周波成分を除去して平滑化し、電圧制御発振器3に与える制御電圧CNTを出力するローパスフィルタである。

【0006】なお、第1の入力基準信号C1と第2の入力基準信号C2は位相同期した信号として系に与えられている。

【0007】以上述べたような構成において、つぎにその動作を説明する。

【0008】通常、選択回路5は第1の入力基準信号C1を選択しており、基準信号Cとしている。この基準信号Cが正常に輸入されている限り、入力断検出回路6は選択切替信号SELを出力しないので、選択回路5は第1の入力基準信号C1の選択を継続する。

【0009】電圧制御発振器3は、制御電圧CNTに応じた周波数のクロック信号CLKを発生する。このクロ

ック信号CLKは分周回路4により分周され、分周信号CNとして位相比較器1に与えられる。

【0010】位相比較器1は、この分周信号CNを、選択回路5からの基準信号Cと位相比較し、両者の位相差に応じた位相偏差信号PDを出力する。この位相偏差信号PDは、ローパスフィルタ2により平滑化され、制御電圧CNTとして電圧制御発振器3に与えられる。

【0011】つまり、分周信号CNと基準信号Cの間に位相差がなければ、位相比較器1で検出される位相偏差はゼロであり、ローパスフィルタ2から電圧制御発振器3には、そのままの発振周波数を維持させるような制御電圧CNTが与えられる。一方、分周信号CNと基準信号Cの間に位相差があれば、位相比較器1からは、この位相差に応じた位相偏差信号PDが出力されるので、これを平滑化して得られる制御電圧CNTは、電圧制御発振器3の発振周波数を変化させ、その出力であるクロック信号CLKの分周回路4による分周信号CNの位相が、基準信号Cの位相に一致するように制御する。

【0012】その結果、電圧制御発振器3からは、第1の入力基準信号C1に位相同期したクロック信号CLKが出力されることになる。

【0013】なお、上記のような系統で、何らかの原因で、第1の入力基準信号C1が遮断されてしまった場合、位相比較器1では、正常な位相偏差信号PDが検出されなくなるので、電圧制御発振器3が暴走してしまうことになる。このような事態に備えて、信頼性を高めるために、冗長構成がとられている。

【0014】さて、第1の入力基準信号C1が一定の時間を超えて遮断した場合、選択回路5からの基準信号Cが喪失してしまうが、これは入力断検出回路6により検出される。その結果、入力断検出回路6は、選択回路5に対して、選択切替信号SELを出力する。

【0015】入力断検出回路6から選択切替信号SELを与えられた選択回路5は、第1の入力基準信号C1を第2の入力基準信号C2に切り替えて、基準信号Cとして出力する。その結果、位相比較器1には、第2の入力基準信号C2に基づく基準信号Cが与えられることになる。

【0016】その結果、電圧制御発振器3からは、第2の入力基準信号C2に位相同期したクロック信号CLKが出力されることになる。

【0017】以上のようにして電圧制御発振器3から得られたクロック信号CLKは、データ伝送系などにおいて、信頼性の高いシステムクロックとして用いられることになる。

【0018】

【発明が解決しようとする課題】従来のPLL回路装置は、以上述べたように、第1の入力基準信号C1に異常が発生した場合、これを検出して、直ちに第2の入力基準信号C2に切り替えて電圧制御発振器3を制御するよ

うに構成されているので、第1の入力基準信号C1と第2の入力基準信号C2が位相同期しており、第1の入力基準信号C1から第2の入力基準信号C2への切替が、スムーズに行われる限り、安定してクロック信号CLKを出力することができる。しかしながら、現実には、第1の入力基準信号C1に異常が発生してから、これを入力断検出回路6で検出し、これに基づいて選択回路5が動作して、第1の入力基準信号C1が第2の入力基準信号C2に切り替わるまでの過渡期の間は、ある程度の時間があるので、この間に基準信号Cに不要なパルスが混入し、第1の入力基準信号C1への切り戻しが発生したり、歯抜けが発生するなどの攪乱が発生することがある。このため、電圧制御発振器3の同期外れが発生し、次に、これに対する引き込み動作が発生したりして、電圧制御発振器3で発生するクロック信号CLKの周波数が大きく変動してしまうという問題点がある。その結果、このクロック信号CLKをシステムクロックとするデータ伝送系では、データエラーが発生してしまうなどの問題点がある。

【0019】この発明は、上記のような従来技術の問題点を解消し、現用系の入力基準信号に異常が発生し、予備系の入力基準信号に切り替える過渡期において、PLL系の安定性を保ち、発生するクロックの攪乱を防止し、系の信頼性を高めたPLL回路装置を提供することを目的とする。

【0020】

【課題を解決するための手段】

手段1. 上記目的を達成するために、この発明は、請求項1に記載のPLL回路装置として、クロックを発生する発振手段と、前記クロックを分周して分周クロックとする分周手段と、複数の基準信号から1つを選択して、制御用基準信号を出力する選択手段と、前記分周手段からの分周クロックを、前記選択手段からの制御用基準信号と位相比較する位相比較手段と、前記位相比較手段の出力をそのまま、または保持して、前記発振手段に制御信号として与える制御電圧保持手段と、前記選択手段からの制御用基準信号が喪失したことを検出して、前記制御電圧保持手段に保持信号を与えると共に、前記選択手段に対して、基準信号を切替えるための選択切替信号を出力する入力断検出手段とを、備えるPLL回路装置を提供するものである。

【0021】手段2. 上記目的を達成するために、この発明は、請求項3に記載のPLL回路装置として、クロックを発生する発振手段と、前記クロックを分周して分周クロックとする分周手段と、複数の基準信号から1つを選択して、制御用基準信号を出力する選択手段と、前記分周手段からの分周クロックを、前記選択手段からの制御用基準信号と位相比較する位相比較手段と、前記位相比較手段の出力をそのまま、または保持して、前記発振手段に制御信号として与える制御電圧保持手段と、前

記位相比較手段によって検出される位相差が一定の位相差よりも大きい場合に、これを検出して、前記制御電圧保持手段に保持信号を与えると共に、前記選択手段に対して、基準信号を切替えるための選択切替信号を出力する位相差判定手段とを、備えるPLL回路装置を提供するものである。

【0022】手段3. 上記目的を達成するために、この発明は、請求項6に記載のPLL回路装置として、クロックを発生する発振手段と、前記クロックを分周して分周クロックとする分周手段と、複数の基準信号から1つを選択して、制御用基準信号を出力する選択手段と、前記分周手段からの分周クロックを、前記選択手段からの制御用基準信号と位相比較する位相比較手段と、前記位相比較手段の出力をそのまま、または保持して、前記発振手段に制御信号として与える制御電圧保持手段と、前記発振手段に与えられる制御信号が異常なレベルになった場合に、これを検出して、前記制御電圧保持手段に保持信号を与えると共に、前記選択手段に対して、基準信号を切替えるための選択切替信号を出力する電圧変化検出手段とを、備えるPLL回路装置を提供するものである。

【0023】手段4. 上記目的を達成するために、この発明は、請求項8に記載のPLL回路装置として、クロックを発生する発振手段と、前記クロックを分周して分周クロックとする分周手段と、複数の基準信号から1つを選択して、制御用基準信号を出力する選択手段と、前記分周手段からの分周クロックを、前記選択手段からの制御用基準信号と位相比較する位相比較手段と、前記位相比較手段の出力をそのまま、または保持して、前記発振手段に制御信号として与える制御電圧保持手段と、前記発振手段からのクロックに基づいてウィンドウを発生し、このウィンドウ内に制御用基準信号のパルスが入っている場合に、これを検出して、前記制御電圧保持手段に保持信号を与えると共に、前記選択手段に対して、基準信号を切替えるための選択切替信号を出力するパルス検出手段とを、備えるPLL回路装置を提供するものである。

【0024】手段5. 上記目的を達成するために、この発明は、請求項11に記載のPLL回路装置として、クロックを発生する発振手段と、前記クロックを分周して分周クロックとする分周手段と、複数の基準信号から1つを選択して、制御用基準信号を出力する選択手段と、前記分周手段からの分周クロックを、前記選択手段からの制御用基準信号と位相比較する位相比較手段と、前記位相比較手段の出力をそのまま、または保持して、前記発振手段に制御信号として与える制御電圧保持手段と、前記制御用基準信号により決定される一定の時間内に、前記発振手段からのクロックを計数して、この計数値が前記分周手段の分周比からみて正常か否かを判定し、異常判定の場合に、前記制御電圧保持手段に保持信号を与

えると共に、前記選択手段に対して、基準信号を切替えるための選択切替信号を出力するクロック数判定手段とを、備えるPLL回路装置を提供するものである。

【0025】

【作用】

作用1. 上記手段において、この発明の請求項1に記載のPLL回路装置は、選択手段により選択された制御用基準信号の喪失を、入力断検出手段により、検出して、選択切替信号により選択手段による基準信号の切替を行わせると共に、この間に発振手段に与える制御信号を、制御電圧保持手段により、直前の値に保持させることにより、前記発振手段からのクロックを安定に保つと共に、基準信号の切替を安定に行わせる。

【0026】作用2. 上記手段において、この発明の請求項3に記載のPLL回路装置は、選択手段により選択された制御用基準信号の異常を、位相差判定手段により、検出して、選択切替信号により選択手段による基準信号の切替を行わせると共に、この間に発振手段に与える制御信号を、制御電圧保持手段により、直前の値に保持させることにより、前記発振手段からのクロックを安定に保つと共に、基準信号の切替を安定に行わせる。

【0027】作用3. 上記手段において、この発明の請求項6に記載のPLL回路装置は、選択手段により選択された制御用基準信号の異常を、電圧変化検出手段により、検出して、選択切替信号により選択手段による基準信号の切替を行わせると共に、この間に発振手段に与える制御信号を、制御電圧保持手段により、直前の値に保持させることにより、前記発振手段からのクロックを安定に保つと共に、基準信号の切替を安定に行わせる。

【0028】作用4. 上記手段において、この発明の請求項8に記載のPLL回路装置は、選択手段により選択された制御用基準信号の異常を、パルス検出手段により、検出して、選択切替信号により選択手段による基準信号の切替を行わせると共に、この間に発振手段に与える制御信号を、制御電圧保持手段により、直前の値に保持させることにより、前記発振手段からのクロックを安定に保つと共に、基準信号の切替を安定に行わせる。

【0029】作用5. 上記手段において、この発明の請求項11に記載のPLL回路装置は、選択手段により選択された制御用基準信号の異常を、クロック数判定手段により、検出して、選択切替信号により選択手段による基準信号の切替を行わせると共に、この間に発振手段に与える制御信号を、制御電圧保持手段により、直前の値に保持させることにより、前記発振手段からのクロックを安定に保つと共に、基準信号の切替を安定に行わせる。

【0030】

【実施例】以下、図面を参照しながら、本発明の実施例を説明する。

【0031】実施例1. 図1は、この発明の実施例1の

PLL回路装置の回路図である。図において、7は位相比較器1の出力である位相偏差信号PDを保持するための制御電圧保持回路であり、その出力である位相偏差信号PDHはローパスフィルタ2を通じて、電圧制御発振器3に与えられる。なお、制御電圧保持回路7は、入力断検出回路6が基準信号Cの遮断を検出して選択切替信号SELを出力している間、入力断検出回路6から一定時間出力される電圧保持信号HDに基づいて、位相偏差信号PDを、選択切替信号SELの出力直前のレベルに保持し、位相偏差信号PDHとしてローパスフィルタ2に与える。

【0032】なお、この実施例の構成において、入力断検出回路6から出力される選択切替信号SELと電圧保持信号HDは、略同じタイミングで出力されるものとする。その他の構成については、図6に示した従来の構成と同様である。

【0033】以上述べたような構成において、次にその動作を説明する。

【0034】通常、選択回路5は第1の入力基準信号C1を選択しており、基準信号Cとしている。この基準信号Cが正常に入力されている限り、入力断検出回路6は選択切替信号SELも電圧保持信号HDのいずれも出力しないので、選択回路5は第1の入力基準信号C1の選択を継続し、制御電圧保持回路7は入力される位相偏差信号PDをそのまま位相偏差信号PDHとして出力する。

【0035】電圧制御発振器3は、制御電圧CNTに応じた周波数のクロック信号CLKを発生する。このクロック信号CLKは分周回路4により分周され、分周信号CNとして位相比較器1に与えられる。

【0036】位相比較器1は、この分周信号CNを、選択回路5からの基準信号Cと位相比較し、両者の位相差に応じた位相偏差信号PDを出力する。

【0037】位相比較器1の出力である位相偏差信号PDは、制御電圧保持回路7に与えられるが、制御電圧保持回路7は入力断検出回路6から電圧保持信号HDが出力されていないので、位相偏差信号PDをそのまま、位相偏差信号PDHとしてローパスフィルタ2に出力する。

【0038】この位相偏差信号PDHは、ローパスフィルタ2により平滑化され、制御電圧CNTとして電圧制御発振器3に与えられる。

【0039】つまり、分周信号CNと基準信号Cの間に位相差がなければ、位相比較器1で検出される位相偏差はゼロであり、ローパスフィルタ2から電圧制御発振器3には、そのままの発振周波数を維持させるような制御電圧CNTが与えられる。一方、分周信号CNと基準信号Cの間に位相差があれば、位相比較器1からは、この位相差に応じた位相偏差信号PDが出力されるので、これを平滑化して得られる制御電圧CNTは、電圧制御発

振器3の発振周波数を変化させ、その出力であるクロック信号CLKの分周回路4による分周信号CNの位相が、基準信号Cの位相に一致するように制御する。

【0040】その結果、電圧制御発振器3からは、第1の入力基準信号C1に位相同期したクロック信号CLKが出力されることになる。

【0041】さて、第1の入力基準信号C1が遮断した場合、選択回路5からの基準信号Cが喪失してしまうが、これが一定の時間を超えると、これは入力断検出回路6により検出される。その結果、入力断検出回路6は、選択回路5に対して、選択切替信号SELを出力すると共に、制御電圧保持回路7に対して一定時間継続して出力される電圧保持信号HDを出力する。

【0042】その結果、制御電圧保持回路7は、位相比較器1から出力されていた位相偏差信号PDを、電圧保持信号HDが出力される直前のレベルに保持し、これを位相偏差信号PDHとして出力する。

【0043】その結果、電圧制御発振器3は、この位相偏差信号PDHに基づいた制御電圧CNTにより制御される。

【0044】なお、この間に、基準信号Cに不要なパルスが混入したりして、位相偏差信号PDに攪乱を発生しても、これは制御電圧保持回路7で遮断され、制御電圧保持回路7は安定的に位相偏差信号PDHを出力し続けるため、電圧制御発振器3は安定に制御されることになる。つまり、電圧制御発振器3は、遮断する直前の第1の入力基準信号C1に位相同期したクロック信号CLKを出力し続けることになる。

【0045】一方、入力断検出回路6から選択切替信号SELを与えられた選択回路5は、第1の入力基準信号C1を第2の入力基準信号C2に切り替えて、基準信号Cとして出力する。その結果、位相比較器1には、第2の入力基準信号C2に基づく基準信号Cが与えられることになる。

【0046】なお、入力断検出回路6は、一定の時間が経過すると、電圧保持信号HDの出力を解除するので、制御電圧保持回路7は、再び、位相比較器1からの位相偏差信号PDをそのまま位相偏差信号PDHとして出力することになる。

【0047】その結果、電圧制御発振器3からは、第2の入力基準信号C2に位相同期したクロック信号CLKが出力されることになる。

【0048】なお、第1の入力基準信号C1と第2の入力基準信号C2は位相同期しているので、PLL回路としての引き込み動作を生ずることがなく、周波数の安定したクロック信号CLKを得ることができる。

【0049】以上のようにして電圧制御発振器3から得られたクロック信号CLKは、データ伝送系などにおいて、システムクロックとして用いられることになる。

【0050】以上述べたように、この実施例において

は、第1の入力基準信号C1に異常が発生してから、これを入力断検出回路6で検出し、選択回路5に対して、基準信号Cを、第2の入力基準信号C2から得るように切り替えるまでの過渡期の間、位相比較器1の位相偏差信号PDを、入力断検出回路6からの電圧保持信号HDにより保持して、位相偏差信号PDHとしてローパスフィルタ2から、電圧制御発振器3に与えるように構成したので、制御電圧CNTに外乱が混入するのを防止でき、安定して、基準信号Cを、第1の入力基準信号C1から第2の入力基準信号C2に切り替えることができる。

【0051】なお、実施例1では、入力断検出回路6から、制御電圧保持回路7に対して出力される電圧保持信号HDを、一定の時間出力するように構成したが、入力断検出回路6から制御電圧保持回路7に与える電圧保持信号HDを、基準信号Cの有無により、出力するように構成してもよい。この場合、電圧保持信号HDが出力されてから、その出力を解除する条件として、選択回路5による第1の入力基準信号C1から第2の入力基準信号C2への切替が終了して、基準信号Cとして、第2の入力基準信号C2が出力され始めたことが用いられることになる。

【0052】また、実施例1では、入力断検出回路6により、第1の入力基準信号C1が遮断されたことを検出すると、電圧保持信号HDと選択切替信号SELを、同時に出力するような構成を例示したが、これに時間差を持たせるようにしてもよい。この場合、入力断検出回路6は、基準信号Cの遮断から、第1の入力基準信号C1の異常を検出すると、まず、電圧保持信号HDを出力して、制御電圧保持回路7を動作させ、第1の入力基準信号C1の異常が一定時間以上継続した場合に、選択切替信号SELを出力して、選択回路5により選択される基準信号Cを、第1の入力基準信号C1から第2の入力基準信号C2に切り替える。

【0053】このような構成では、入力断検出回路6で第1の入力基準信号C1の異常が検出されても、直ちに、選択切替信号SELを出力せず、電圧保持信号HDだけを出力する。そして、制御電圧保持回路7で保持された位相偏差信号PDHにより、電圧制御発振器3を安定に制御しながら、選択回路5では、第1の入力基準信号C1を選択し続け、入力断検出回路6で検出される基準信号Cが正常に戻った時点で、電圧保持信号HDを解除するように構成する。

【0054】その結果、第1の入力基準信号C1が瞬間的に遮断したような場合、第1の入力基準信号C1が正常に復旧した時点で、直ちに第1の入力基準信号C1によるクロック信号CLKの制御を継続できるので、回路の冗長度を更に高めることができる。

【0055】もちろん、入力断検出回路6で、一定時間以上、第1の入力基準信号C1の遮断が検出された場合

は、選択回路5に対して、選択切替信号SELを与え、基準信号Cを、第1の入力基準信号C1から第2の入力基準信号C2に切り替えて、系を第2の入力基準信号C2を基準に制御する。

【0056】実施例2. 実施例2のPLL回路装置では、図1の構成において、入力断検出回路6は、一度、第1の入力基準信号C1の遮断を検出して、選択切替信号SELを出力すると、一定時間は、選択切替信号SELの出力を禁止する。

【0057】つまり、実施例1では、入力断検出回路6が、第1の入力基準信号C1の遮断を検出すると、これに対応して、選択切替信号SELおよび電圧保持信号HDを出力するような構成を例示したが、この実施例2では、入力断検出回路6が一度、第1の入力基準信号C1の遮断を検出して、選択切替信号SELを出力すると、その後の一定時間は、選択切替信号SELを出力しないような構成とする。

【0058】以上述べたような構成において、次に、その動作を説明する。

【0059】実施例1では、入力断検出回路6が第1の入力基準信号C1の一定の時間を超える遮断を検出すると、直ちに、選択切替信号SELと、電圧保持信号HDが出力され、位相偏差信号PDを制御電圧保持回路7で保持して、選択回路5を第1の入力基準信号C1から第2の入力基準信号C2に切り替えるが、第1の入力基準信号C1が遮断してから、選択回路5が動作し、入力を第2の入力基準信号C2に切り替え、基準信号Cが安定して、これが入力断検出回路6で検出されるまでの間には、ある程度の時間差がある。

【0060】このため、選択回路5が信号を切り替え、基準信号Cが安定するまでの間に、入力断検出回路6が、不安定な基準信号Cにより、不安定な動作をすると、選択切替信号SELおよび電圧保持信号HDを、誤出力することが考えられる。

【0061】その結果、選択回路5が、第1の入力基準信号C1から第2の入力基準信号C2に信号を切り替えたにもかかわらず、入力断検出回路6の誤動作により、選択切替信号SELが出力され、次から次に、別の基準信号に信号を切り替えたり、第1の入力基準信号C1への切り戻しを発生したりするなどの不都合が考えられる。

【0062】実施例2の構成では、このような不都合を防止することが可能であり、第1の入力基準信号C1が遮断して、入力断検出回路6がこれを検出すると、電圧保持信号HDを出力して、制御電圧保持回路7に位相偏差信号PDを保持させ、位相偏差信号PDHを出力して、電圧制御発振器3を安定的に動作させるが、同時に選択切替信号SELを出力して、選択回路5により選択される信号を、第1の入力基準信号C1から第2の入力基準信号C2に切り替える。

【0063】なお、基準信号Cを、第1の入力基準信号C1から第2の入力基準信号C2に切り替える場合、一定の時間は、基準信号Cが安定しないので、この間は、入力断検出回路6からの選択切替信号SELの出力を禁止して、選択回路5が不用意に信号を切り替えないようにする。

【0064】その結果、選択回路5が、一旦、第1の入力基準信号C1から第2の入力基準信号C2に基準信号Cを切り替えたにもかかわらず、次から次へと基準信号Cを切り替えたり、第1の入力基準信号C1への切り戻しを行うといった、誤動作の発生を防止することができる。

【0065】その結果、電圧制御発振器3から発生するクロック信号CLKを、更に安定させることができる。

【0066】なお、実施例2では、入力断検出回路6から選択切替信号SELが出力されると、一定の時間は、入力断検出回路6からの選択切替信号SELの出力を禁止するような構成を例示したが、この機能を選択回路5側に持たせても同様の効果を得ることができる。つまり、選択回路5が一度、選択切替信号SELを受けつけて、基準信号の切替を行うと、一定の時間は、選択切替信号SELを受けつけなくするようにしてもよい。

【0067】実施例3. 図2は、この発明の実施例3のPLL回路装置の回路図である。図において、8は位相比較器1で、検出した基準信号Cと分周信号CNの位相差を、位相比較器1より位相偏差検出信号PSDとしてもらい、これが正常値であるか否かを判定し、選択回路5に対して選択切替信号SELを出力すると共に、制御電圧保持回路7に対して、電圧保持信号HDを、一定の時間出力する位相差判定回路である。

【0068】なお、この実施例の構成において、位相差判定回路8から出力される選択切替信号SELと電圧保持信号HDは、略同じタイミングで出力されるものとする。その他の構成については、図1に示した実施例1の構成と同様である。

【0069】以上述べたような構成において、次にその動作を説明する。

【0070】通常の動作状態において、第1の入力基準信号C1が正常に出力されており、系が正常に動作していれば、電圧制御発振器3の出力であるクロック信号CLKは、第1の入力基準信号C1に位相同期しているので、位相比較器1で検出される基準信号Cと、分周信号CNの位相関係、つまり位相偏差信号PDおよび位相偏差検出信号PSDは正常な範囲にあると考えられる。

【0071】つまり、位相差判定回路8で検出される位相偏差検出信号PSDは正常値にある。その結果、位相差判定回路8からは、電圧保持信号HDも選択切替信号SELも出力されず、電圧制御発振器3からは、第1の入力基準信号C1に位相同期したクロック信号CLKが出力されることになる。

【0072】さて、第1の入力基準信号C1が遮断した場合、選択回路5からの基準信号Cが喪失してしまうが、これが一定の時間を超えると、位相比較器1で検出される、基準信号Cと分周信号CNの間の位相差が許容値を超える値になる。つまり、位相比較器1から出力される位相偏差信号PDと位相偏差信号位相偏差検出信号PSDが異常レベルになる。位相差判定回路8は、位相比較器1からの位相偏差検出信号PSDに基づいて、この位相差が異常なレベルになる前に、位相差が異常レベルに近づきつつあることを判定して、選択回路5に対して、選択切替信号SELを出力すると共に、制御電圧保持回路7に対して電圧保持信号HDを一定時間出力する。

【0073】その結果、制御電圧保持回路7は、位相比較器1から出力されていた位相偏差信号PDを、電圧保持信号HDが出力される直前のレベルに保持し、これを位相偏差信号PDHとして出力する。

【0074】その結果、電圧制御発振器3は、この位相偏差信号PDHに基づいた制御電圧CNTにより制御される。

【0075】一方、位相差判定回路8から選択切替信号SELを与えられた選択回路5は、第1の入力基準信号C1を第2の入力基準信号C2に切り替えて、基準信号Cとして出力する。その結果、位相比較器1には、第2の入力基準信号C2に基づく基準信号Cが与えられることになる。

【0076】その結果、位相比較器1で検出される位相差が、許容値内に戻る。

【0077】一方、位相差判定回路8からの電圧保持信号HDは、一定の時間が経過すると、解除されるが、この時点では、基準信号Cはすでに、第2の入力基準信号C2に切り替わっており、安定している。

【0078】従って、制御電圧保持回路7は、再び、位相比較器1からの位相偏差信号PDをそのまま位相偏差信号PDHとして出力することになるが、この時点より、電圧制御発振器3からは、第2の入力基準信号C2に位相同期したクロック信号CLKが出力されることになる。

【0079】なお、第1の入力基準信号C1と第2の入力基準信号C2は位相同期しているので、PLL回路としての引き込み動作を生ずることがなく、周波数の安定したクロック信号CLKを得ることができる。

【0080】以上述べたように、この実施例においては、第1の入力基準信号C1に異常が発生してから、これを位相差判定回路8で検出し、選択回路5に対して、基準信号Cを第2の入力基準信号C2から得るように切り替えるまでの過渡期の間、位相比較器1の位相偏差信号PDを、入力断検出回路6からの電圧保持信号HDにより保持して、位相偏差信号PDHとしてローパスフィルタ2から、電圧制御発振器3に与えるように構成

したので、制御電圧CNTに外乱が混入するのを防止でき、安定して、基準信号Cを、第1の入力基準信号C1から第2の入力基準信号C2に切り替えることができる。

【0081】その結果、第1の入力基準信号C1が遮断した場合のみならず、大幅に周波数が変動したり、外乱ノイズにより、乱れたりしたような場合でも、電圧制御発振器3からのクロック信号CLKを安定に制御することができる。

【0082】実施例4. 実施例4のPLL回路装置では、図2の構成において、位相差判定回路8は、位相偏差検出信号PSDから位相差の異常を検出すると、直ちに、電圧保持信号HDを出力して制御電圧保持回路7を動作させ、同時に選択切替信号SELを出力して、選択回路5により選択される基準信号Cを第1の入力基準信号C1から第2の入力基準信号C2に切り替えるが、この後、位相比較器1により検出される位相偏差検出信号PSDが許容値に戻るまで、電圧保持信号HDを解除しないように構成する。

【0083】その結果、位相比較器1で検出される位相偏差検出信号PSDが異常なレベルになりそうな場合、これを位相差判定回路8で検出して、制御電圧保持回路7に電圧保持信号HDを出力して、位相比較器1の出力である位相偏差信号PDを保持させると共に、選択回路5に選択切替信号SELを出力して、基準信号Cを第1の入力基準信号C1から第2の入力基準信号C2に切り替える。

【0084】以上のようにして、選択回路5による基準信号Cの切替が終了しても、位相比較器1により検出される位相偏差検出信号PSDが許容値に戻るまでは、電圧保持信号HDを解除せず、基準信号Cと分周信号CNの位相差が許容範囲に入ってから、制御電圧保持回路7の動作を解除する。

【0085】その結果、選択回路5により第1の入力基準信号C1から第2の入力基準信号C2に切替が行われる場合の、過渡的な外乱による位相差の変動を吸収でき、安定な基準信号Cの切替を行うことができる。

【0086】なお、位相差判定回路8による、位相偏差検出信号PSDの検出レベルにおいて、電圧保持信号HDを出力する位相差と、電圧保持信号HDの出力を停止する出力レベルにヒステリシスを持たせることにより、回路の動作を更に安定させることができる。なお、実施例4では、位相差判定回路8は、位相偏差検出信号PSDの位相差の異常を検出すると、電圧保持信号HDと選択切替信号SELを、同時に出力するような構成を例示したが、これに時間差を持たせるようにしてもよい。

【0087】この場合、位相差判定回路8は、位相偏差検出信号PSDから位相差の異常を検出すると、まず、電圧保持信号HDを出力して制御電圧保持回路7を動作させ、位相差の異常が、一定の時間以上にわたって検出

された場合に、選択切替信号SELを出力して、選択回路5により選択される基準信号Cを、第1の入力基準信号C-1から第2の入力基準信号C2に切り替える。

【0088】このような構成では、位相差判定回路8で位相差の異常が判定されても、直ちには、選択切替信号SELを出力せず、電圧保持信号HDだけを出力する。そして、制御電圧保持回路7で保持された位相偏差信号PDHにより、電圧制御発振器3を安定に制御しながら、選択回路5では、第1の入力基準信号C1を選択し続け、位相比較器1で検出される位相差が正常値に戻った時点で、電圧保持信号HDを解除するように構成する。

【0089】その結果、第1の入力基準信号C1にノイズが混入したり、瞬間的な外乱が入っても、直ちにこれが復旧した場合、ただちに第1の入力基準信号C1によるクロック信号CLKの制御を継続できるので、回路の冗長度を更に高めることができる。

【0090】もちろん、位相差判定回路8で、一定時間以上の位相差の異常が検出された場合は、選択回路5に対して、選択切替信号SELを与え、基準信号Cを第1の入力基準信号C1から第2の入力基準信号C2に切り替える。

【0091】実施例5. 実施例5のPLL回路装置では、図2の構成において、位相差判定回路8は、一度、位相偏差検出信号PSDによる位相差の異常を検出して、選択切替信号SELを出力すると、一定時間は、選択切替信号SELの出力を禁止する。

【0092】つまり、実施例3、4では、位相差判定回路8が、位相偏差検出信号PSDから第1の入力基準信号C1の異常を検出すると、これに対応して、選択切替信号SELおよび電圧保持信号HDを出力するような構成を例示したが、この実施例5では、位相差判定回路8が一度、位相偏差検出信号PSDの異常を検出して、選択切替信号SELを出力すると、その後の一定時間は、選択切替信号SELを出力しないような構成とする。

【0093】以上述べたような構成によれば、第1の入力基準信号C1が異常な状態になってから、位相差判定回路8からの選択切替信号SELにより、選択回路5が動作し、入力を第2の入力基準信号C2に切り替え、基準信号Cが安定して、これに伴う位相差の安定的な状態が、位相差判定回路8で検出されるまでの間に、位相差判定回路8が不安定な基準信号Cにより、不安定な動作をして、選択切替信号SELを誤出力するのを防止することができる。

【0094】その結果、選択回路5が、一旦、第1の入力基準信号C1から第2の入力基準信号C2に基準信号Cを切り替えたにもかかわらず、次から次へと基準信号Cを切り替えたり、第1の入力基準信号C1への切り戻しを行うといった、誤動作の発生を防止することができる。

【0095】そして、電圧制御発振器3から発生するクロック信号CLKを、更に安定させることができる。

【0096】なお、実施例5では、位相差判定回路8から選択切替信号SELが出力されると、一定の時間は、位相差判定回路8からの選択切替信号SELの出力を禁止するような構成を例示したが、この機能を選択回路5側に持たせても同様の効果を得ることができる。つまり、選択回路5が一度、選択切替信号SELを受けつけて、基準信号の切替を行うと、一定の時間は、選択切替信号SELを受けつけなくするようにしてもよい。

【0097】実施例6. 図3は、この発明の実施例6のPLL回路装置の回路図である。図において、9は、電圧制御発振器3に与えられる制御電圧CNTが、正常値であるか否かを判定し、選択回路5に対する選択切替信号SELを出力すると共に、制御電圧保持回路7に対して電圧保持信号HDを一定の時間出力するための電圧変化検出器である。

【0098】なお、この実施例の構成において、電圧変化検出器9から出力される選択切替信号SELと電圧保持信号HDは、略同じタイミングで出力されるものとする。その他の構成については、図2に示した実施例3の構成と同様である。

【0099】以上述べたような構成において、次にその動作を説明する。

【0100】通常の動作状態において、第1の入力基準信号C1が正常に出力されており、系が正常に動作していれば、電圧制御発振器3の出力であるクロック信号CLKは、第1の入力基準信号C1に位相同期しているので、位相比較器1で検出される基準信号Cと、分周信号CNの位相関係、つまり位相偏差信号PDおよび位相偏差検出信号PSDは正常な範囲にあると考えられる。

【0101】つまり、位相比較器1で検出される位相偏差信号PDは正常であり、したがって、電圧制御発振器3に与えられる制御電圧CNTも正常である。この場合、電圧制御発振器3からは、第1の入力基準信号C1に位相同期したクロック信号CLKが出力されることになる。

【0102】さて、第1の入力基準信号C1が遮断したり異常な状態になった場合、位相比較器1で検出される、基準信号Cと分周信号CNの間の位相差が許容値を超える値になる。つまり、位相比較器1から出力される位相偏差信号PDが異常レベルになり、電圧制御発振器3に与えられる制御電圧CNTも異常になる。

【0103】電圧変化検出器9は、位相比較器1からローパスフィルタ2を通じて電圧制御発振器3に与えられる制御電圧CNTが異常な電圧レベルになる前に、これが異常レベルに近づきつつあることを判定して、選択回路5に対して、選択切替信号SELを出力すると共に、制御電圧保持回路7に対して電圧保持信号HDを一定の時間だけ出力する。

【0104】その結果、制御電圧保持回路7は、位相比較器1から出力されていた位相偏差信号PDを、電圧保持信号HDが出力される直前のレベルに保持し、これを位相偏差信号PDHとして出力する。

【0105】その結果、電圧制御発振器3は、この位相偏差信号PDHに基づいた制御電圧CNTにより制御される。

【0106】一方、電圧変化検出器9から選択切替信号SELを与えられた選択回路5は、第1の入力基準信号C1を第2の入力基準信号C2に切り替えて、基準信号Cとして出力する。その結果、位相比較器1には、第2の入力基準信号C2に基づく基準信号Cが与えられることになる。

【0107】その結果、位相比較器1で検出される位相差は、許容値内に戻る。

【0108】なお、電圧変化検出器9は、一定の時間が経過すると、電圧保持信号HDの出力を解除するので、制御電圧保持回路7は、再び、位相比較器1からの位相偏差信号PDをそのまま位相偏差信号PDHとして出力することになる。この時点で、基準信号Cは、第2の入力基準信号C2に切り替わっており、位相比較器1からは安定して位相差信号が出力されており、したがって、電圧制御発振器3に与えられる制御電圧CNTも正常な値に戻っている。

【0109】その結果、電圧制御発振器3からは、第2の入力基準信号C2に位相同期したクロック信号CLKが出力されることになる。なお、第1の入力基準信号C1と第2の入力基準信号C2は位相同期しているので、PLL回路としての引き込み動作を生ずることがなく、周波数の安定したクロック信号CLKを得ることができる。

【0110】以上述べたように、この実施例においては、第1の入力基準信号C1に異常が発生してから、これを電圧変化検出器9で検出し、選択回路5に対して、基準信号Cを第2の入力基準信号C2により得るように切り替えるまでの過渡期の間、位相比較器1の位相偏差信号PDを、電圧変化検出器9からの電圧保持信号HDにより保持して、位相偏差信号PDHとしてローパスフィルタ2から、電圧制御発振器3に与えるように構成したので、制御電圧CNTに外乱が混入するのを防止でき、安定して、基準信号Cを、第1の入力基準信号C1から第2の入力基準信号C2に切り替えることができる。

【0111】実施例7. 実施例7のPLL回路装置では、図3の構成において、電圧変化検出器9は、一度、位相偏差検出信号PSDによる位相差の異常を検出して、選択切替信号SELを出力すると、一定時間は、選択切替信号SELの出力を禁止する。

【0112】つまり、実施例6では、電圧変化検出器9が、制御電圧CNTから第1の入力基準信号C1の異常

を検出すると、これに対応して、選択切替信号SELおよび電圧保持信号HDを出力するような構成を例示したが、この実施例7では、電圧変化検出器9が一度、基準信号Cの異常を検出して、選択切替信号SELを出力すると、その後の一定時間は、選択切替信号SELを出力しないような構成とする。

【0113】以上述べたような構成によれば、選択回路5が、第1の入力基準信号C1から第2の入力基準信号C2に信号を切り替えたにもかかわらず、回路が安定するまでの時間によっては、電圧変化検出器9から再び、選択切替信号SELが出力され、次から次に、別の基準信号に信号を切り替えたり、第1の入力基準信号C1への切り戻しを発生したりするなどの不都合が発生する可能性があるが、このような不都合を防止することが可能である。

【0114】なお、実施例7では、電圧変化検出器9から選択切替信号SELが出力されると、一定の時間は、電圧変化検出器9からの選択切替信号SELの出力を禁止するような構成を例示したが、この機能を選択回路5側に持たせても同様の効果を得ることができる。つまり、選択回路5が一度、選択切替信号SELを受けつけて、基準信号の切替を行うと、一定の時間は、選択切替信号SELを受けつけなくするようにしてもよい。

【0115】実施例8. 図4は、この発明の実施例8のPLL回路装置の回路図である。図において、10は電圧制御発振器3で発生するクロック信号CLKに基づいて、第1の入力基準信号C1のパルスが到来するであろうタイミングにウィンドウを生成するウィンドウ生成回路であり、パルス検出回路11はウィンドウ生成回路10で生成したウィンドウに、基準信号Cとしてのパルスが存在するか否かを判定して、パルスがない場合に、制御電圧保持回路7に、一定時間、電圧保持信号HDを出力すると共に、選択回路5に対して選択切替信号SELを出力する。

【0116】なお、この実施例の構成において、パルス検出回路11から出力される選択切替信号SELと、電圧保持信号HDは、略同じタイミングで出力されるものとする。

【0117】その他の構成については、図3に示した実施例6の構成と同様である。

【0118】以上述べたような構成において、次にその動作を説明する。

【0119】通常の動作状態において、第1の入力基準信号C1が正常に出力されており、系が正常に動作していれば、電圧制御発振器3の出力であるクロック信号CLKは、第1の入力基準信号C1に位相同期しているので、ウィンドウ生成回路10により生成するウィンドウの中に、第1の入力基準信号C1に基づく基準信号Cのパルスが存在しており、パルス検出回路11ではウィンドウ内のパルスが検出される。

【0120】つまり、電圧制御発振器3から出力されるクロック信号CLKと、基準信号Cは位相同期していると判断することができる。この場合、パルス検出回路11からは、電圧保持信号HDも選択切替信号SELも出力されず、従って、電圧制御発振器3は基準信号Cと分周信号CNの位相比較器1による位相比較結果に基づいて制御される。そして、電圧制御発振器3からは、第1の入力基準信号C1に位相同期したクロック信号CLKが出力されることになる。

【0121】さて、第1の入力基準信号C1が遮断したり異常な状態になった場合、第1の入力基準信号C1と電圧制御発振器3で発生するクロック信号CLKに間に位相差が発生する。その結果、クロック信号CLKに基づいて、ウィンドウ生成回路10で発生したウィンドウの中に、第1の入力基準信号C1のパルスが入らない結果になってしまう。

【0122】つまり、電圧制御発振器3で発生するクロック信号CLKと、第1の入力基準信号C1との間に位相ずれがではじめたと判断することができる。

【0123】一方、パルス検出回路11では、ウィンドウ内のパルスが検出されなくなってしまうので、選択回路5に対して、選択切替信号SELを出力すると共に、制御電圧保持回路7に対して電圧保持信号HDを一定の時間だけ出力する。

【0124】その結果、制御電圧保持回路7は、位相比較器1から出力されていた位相偏差信号PDを、電圧保持信号HDが出力される直前のレベルに保持し、これを位相偏差信号PDHとして出力する。

【0125】その結果、電圧制御発振器3は、この位相偏差信号PDHに基づいた制御電圧CNTにより制御されることになる。

【0126】一方、パルス検出回路11から選択切替信号SELを与えられた選択回路5は、第1の入力基準信号C1を第2の入力基準信号C2に切り替えて、基準信号Cとして出力する。その結果、位相比較器1には、第2の入力基準信号C2に基づく基準信号Cが与えられることになる。

【0127】その結果、位相比較器1で検出される位相差は、許容値内に戻る。

【0128】なお、パルス検出回路11は、一定の時間が経過すると、電圧保持信号HDの出力を解除するので、制御電圧保持回路7は、再び、位相比較器1からの位相偏差信号PDをそのまま位相偏差信号PDHとして出力することになる。

【0129】この時点で、基準信号Cは、第2の入力基準信号C2に切り替わっており、位相比較器1からは安定して位相偏差信号PDが出力されており、したがって、電圧制御発振器3に与えられる制御電圧CNTも正常な値に戻っている。

【0130】その結果、電圧制御発振器3からは、第2

の入力基準信号C2に位相同期したクロック信号CLKが出力されることになる。なお、第1の入力基準信号C1と第2の入力基準信号C2は位相同期しているので、PLL回路としての引き込み動作を生ずることがなく、周波数の安定したクロック信号CLKを得ることができる。

【0131】以上述べたように、この実施例においては、第1の入力基準信号C1に異常が発生してから、これをパルス検出回路11で検出し、選択回路5に対して、基準信号Cを第2の入力基準信号C2により得るように切り替えるまでの過渡期の間、位相比較器1の位相偏差信号PDを、電圧変化検出器9からの電圧保持信号HDにより一定時間保持して、位相偏差信号PDHとしてローパスフィルタ2から、電圧制御発振器3に与えるように構成したので、制御電圧CNTに外乱が混入するのを防止でき、安定して、基準信号Cを、第1の入力基準信号C1から第2の入力基準信号C2に切り替えることができる。

【0132】実施例9．実施例9のPLL回路装置では、図4の構成において、パルス検出回路11は、ウィンドウ生成回路10で生成されたウィンドウ内に、クロック信号CLKのパルスが検出されない場合、パルス検出回路11から電圧保持信号HDおよび選択切替信号SELが出力されるが、この信号出力の解除は、ウィンドウ生成回路10で生成されるウィンドウ内に、基準信号Cのパルスが検出されたことを条件とする。

【0133】以上述べたような構成において、ウィンドウ生成回路10で電圧制御発振器3によるクロック信号CLKに基づいて、基準信号Cが来るべき位置にウィンドウを設け、パルス検出回路11でそのウィンドウに、第1の入力基準信号C1があるか否かの判定を行う。

【0134】そして、パルス検出回路11でパルスの検出ができなければ、第1の入力基準信号C1が異常になったと判定して、制御電圧保持回路7に対して、電圧保持信号HDを一定時間出力すると共に、選択回路5に対して、選択切替信号SELを出力する。

【0135】一方、選択切替信号SELにより、選択回路5が、第1の入力基準信号C1から第2の入力基準信号C2への切替を行い、基準信号Cが完全に第2の入力基準信号C2に切り替わり、電圧制御発振器3から出力されるクロック信号CLKに基づいてウィンドウ生成回路10で発生するウィンドウ内に、基準信号Cのパルスが検出されると、パルス検出回路11は電圧保持信号HDの出力を解除する。その結果、電圧制御発振器3からのクロック信号CLKは、基準信号Cに対して完全に位相同期した信号になり、PLL回路としての引き込み動作を伴うことなく、基準信号Cの切替を行うことができる。

【0136】なお、実施例9では、パルス検出回路11は、位相偏差検出信号PSDの位相差の異常を検出する

と、電圧保持信号HDと選択切替信号SELを、同時に出力するような構成を例示したが、これに時間差を持たせるようにしてもよい。

【0137】この場合、パルス検出回路11は、ウィンドウ生成回路10からのウィンドウ内に基準信号Cのパルスが存在しないことを検出すると、まず、電圧保持信号HDを出力して制御電圧保持回路7を動作させ、一定の時間以上、位相差の異常が検出された場合に、選択切替信号SELを出力して、選択回路5により選択される基準信号Cを、第1の入力基準信号C1から第2の入力基準信号C2に切り替える。

【0138】このような構成では、パルス検出回路11でパルスなしの異常が判定されても、直ちに、選択切替信号SELを出力せず、電圧保持信号HDだけを出力する。そして、制御電圧保持回路7で保持された位相偏差信号PDHにより、電圧制御発振器3を安定に制御しながら、選択回路5では、第1の入力基準信号C1を選択し続け、パルス検出回路11で再び、パルスが検出されるようになってから、電圧保持信号HDを解除するように構成する。

【0139】その結果、第1の入力基準信号C1にノイズが混入したり、瞬間的な外乱が入っても、直ちにこれが復旧した場合、直ちに第1の入力基準信号C1によるクロック信号CLKの制御を継続できるので、回路の冗長度を更に高めることができる。

【0140】もちろん、パルス検出回路11で一定時間以上、基準信号Cのパルスが検出されなかった場合、選択回路5に対して、選択切替信号SELを与え、基準信号Cを第1の入力基準信号C1から第2の入力基準信号C2に切り替える。

【0141】実施例10、実施例10のPLL回路装置では、図4の構成において、パルス検出回路11が、一度、パルスなしによる、第1の入力基準信号C1の異常を検出して、選択切替信号SELを出力すると、一定時間は、選択切替信号SELの出力を禁止する。

【0142】つまり、実施例8、9では、パルス検出回路11が、ウィンドウ内への基準信号Cのパルスなしから、第1の入力基準信号C1の異常を検出すると、これに対応して、選択切替信号SELおよび電圧保持信号HDを出力するような構成を例示したが、この実施例10では、パルス検出回路11が一度、第1の入力基準信号C1の異常を検出して、選択切替信号SELを出力すると、その後の一定時間は、選択切替信号SELを出力しないような構成とする。

【0143】以上述べたような構成によれば、選択回路5が、第1の入力基準信号C1から第2の入力基準信号C2に信号を切り替えたにもかかわらず、回路が安定するまでの時間によっては、パルス検出回路11から再び、選択切替信号SELが出力され、次から次に、別の基準信号に信号を切り替えたり、第1の入力基準信号C

1への切り戻しを発生したりするなどの不都合が発生する可能性があるが、このような不都合を防止することが可能である。

【0144】なお、実施例10では、パルス検出回路11から選択切替信号SELが出力されると、一定の時間は、パルス検出回路11からの選択切替信号SELの出力を禁止するような構成を例示したが、この機能を選択回路5側に持たせても同様の効果を得ることができる。つまり、選択回路5が一度、選択切替信号SELを受けつけて、基準信号の切替を行うと、一定の時間は、選択切替信号SELを受けつけなくするようにしてもよい。

【0145】実施例11、図5は、この発明の実施例11のPLL回路装置の回路図である。図において、12は基準信号Cの1周期内の、電圧制御発振器3からのクロック信号CLKの数を計数するカウンタ回路、13はカウンタ回路12のカウンタ値から、クロック信号CLKと基準信号Cの関係が正常な関係か否かの判定を行うクロック数判定回路である。この場合の、カウンタ値は、分周回路4によるクロック信号CLKの分周数Nに一致していることが、正常か異常かを判定するための基準となる。

【0146】その他の構成については、図4に示した実施例8の構成と同様である。

【0147】以上述べたような構成において、次にその動作を説明する。

【0148】通常の動作状態において、第1の入力基準信号C1が正常に出力されており、系が正常に動作していれば、電圧制御発振器3の出力であるクロック信号CLKは、第1の入力基準信号C1に位相同期しているので、カウンタ回路12によりカウンタされるクロック信号CLKの数は、分周回路4の分周数Nに等しく、Nであり、従って、クロック数判定回路13では、正常と判定する。

【0149】つまり、電圧制御発振器3から出力されるクロック信号CLKと、基準信号Cは位相同期していると判断することができる。この場合、クロック数判定回路13からは、電圧保持信号HDも選択切替信号SELも出力されず、従って、電圧制御発振器3は基準信号Cと分周信号CNの位相比較器1による位相比較結果に基づいて制御される。そして、電圧制御発振器3からは、第1の入力基準信号C1に位相同期したクロック信号CLKが出力されることになる。

【0150】さて、第1の入力基準信号C1が遮断したり異常な状態になった場合、第1の入力基準信号C1と、電圧制御発振器3で発生するクロック信号CLKの周波数の間に差を発生する。その結果、基準信号Cの1周期間にカウンタ回路12でカウンタされるクロック信号CLKの数が、分周回路4による分周数Nと異なってくる。

【0151】つまり、電圧制御発振器3で発生するクロ

ック信号CLKと、第1の入力基準信号C1の間に周波数差、つまり位相ずれが、ではじめたと判断することができる。

【0152】一方、クロック数判定回路13では、クロック数Nが検出されなくなってしまうので、選択回路5に対して、選択切替信号SELを出力すると共に、制御電圧保持回路7に対して電圧保持信号HDを一定の時間だけ出力する。

【0153】その結果、制御電圧保持回路7は、位相比較器1から出力されていた位相偏差信号PDを、電圧保持信号HDが出力される直前のレベルに保持し、これを位相偏差信号PDHとして出力する。

【0154】その結果、電圧制御発振器3は、この位相偏差信号PDHに基づいた制御電圧CNTにより制御されることになる。

【0155】一方、クロック数判定回路13から選択切替信号SELを与えられた選択回路5は、第1の入力基準信号C1を第2の入力基準信号C2に切り替えて、基準信号Cとして出力する。その結果、位相比較器1には、第2の入力基準信号C2に基づく基準信号Cが与えられることになる。

【0156】その結果、位相比較器1で検出される位相差は、許容値内に戻る。

【0157】なお、クロック数判定回路13は、一定の時間が経過すると、選択切替信号SELと電圧保持信号HDの出力を解除するので、制御電圧保持回路7は、再び、位相比較器1からの位相偏差信号PDをそのまま位相偏差信号PDHとして出力することになる。この時点で、基準信号Cは、第2の入力基準信号C2に切り替わっており、位相比較器1からは安定して位相偏差信号PDが出力されており、したがって、電圧制御発振器3に与えられる制御電圧CNTも正常な値に戻っている。

【0158】その結果、電圧制御発振器3からは、第2の入力基準信号C2に位相同期したクロック信号CLKが出力されることになる。なお、第1の入力基準信号C1と第2の入力基準信号C2は位相同期しているので、PLL回路としての引き込み動作を生ずることがなく、周波数の安定したクロック信号CLKを得ることができる。

【0159】以上述べたように、この実施例においては、第1の入力基準信号C1に異常が発生してから、これをクロック数判定回路13で検出し、選択回路5に対して、基準信号Cを第2の入力基準信号C2により得るように切り替えるまでの過渡期の間、位相比較器1の位相偏差信号PDを、電圧変化検出器9からの電圧保持信号HDにより一定時間保持して、位相偏差信号PDHとしてローパスフィルタ2から、電圧制御発振器3に与えるように構成したので、制御電圧CNTに外乱が混入するのを防止でき、安定して、基準信号Cを、第1の入力基準信号C1から第2の入力基準信号C2に切り替え

ることができる。

【0160】実施例12. 実施例12のPLL回路装置では、図5の構成において、クロック数判定回路13が、一度、カウンタ回路12によるクロック信号CLKのカウント数から、第1の入力基準信号C1の異常を検出して、電圧保持信号HDを出力すると、次に、クロック数判定回路13が、カウンタ回路12によるクロック信号CLKのカウント数が正常に戻るまで、電圧保持信号HDの出力を保持する。

【0161】つまり、実施例11では、クロック数判定回路13は、カウンタ回路12におけるクロック信号CLKのカウント数が異常であると判断すると、選択切替信号SELを出力すると共に、電圧保持信号HDを一定時間出力するように構成したが、この実施例12では、電圧保持信号HDの出力解除の条件を、カウンタ回路12でカウントされるクロック信号CLKの数が正常に戻ったことにする。

【0162】その結果、カウンタ回路12で計数されるクロック信号CLKの数が、分周回路4による分周数Nと異なる場合、これを異常として、クロック数判定回路13でこれを検出する。このようにして、クロック数判定回路13が、第1の入力基準信号C1の異常を判定すると、制御電圧保持回路7に対して、電圧保持信号HDを出力すると共に、選択回路5に対して、選択切替信号SELを出力する。

【0163】一方、選択切替信号SELにより、選択回路5が、第1の入力基準信号C1から第2の入力基準信号C2への切替を行い、基準信号Cが完全に第2の入力基準信号C2に切り替わり、電圧制御発振器3から出力されるクロック信号CLKのカウンタ回路12によるカウント数が、第2の入力基準信号C2の1周期内に、分周回路4の分周数Nに等しくなると、これは、クロック数判定回路13により検出される。つまり、基準信号Cは正常になったと判断することができる。

【0164】そして、クロック数判定回路13は、基準信号Cが正常であると判断すると、電圧保持信号HDの出力を解除する。

【0165】その結果、電圧制御発振器3からのクロック信号CLKは、基準信号Cに対して完全に位相同期した信号になり、PLL回路としての引き込み動作を伴うことなく、基準信号Cの切替を行うことができる。

【0166】なお、実施例12では、クロック数判定回路13は、カウンタ回路12のカウント数から、第1の入力基準信号C1の異常を検出すると、電圧保持信号HDと選択切替信号SELを、同時に出力するような構成を例示したが、これに時間差を持たせるようにしてもよい。

【0167】この場合、カウンタ回路12は、クロック数判定回路13のカウント数から、第1の入力基準信号C1が異常であることを検出すると、まず、電圧保持信

号H・Dを出力して制御電圧保持回路7を動作させ、一定の時間以上、クロック数判定回路13のカウント数の異常が検出された場合に、選択切替信号SELを出力して、選択回路5により選択される基準信号Cを、第1の入力基準信号C1から第2の入力基準信号C2に切り替える。

【0168】このような構成では、クロック数判定回路13で、第1の入力基準信号C1の異常が判定されても、直ちに、選択切替信号SELを出力せず、電圧保持信号HDだけを出力する。そして、制御電圧保持回路7で保持された位相偏差信号PDHにより、電圧制御発振器3を安定に制御しながら、選択回路5では、第1の入力基準信号C1を選択し続け、クロック数判定回路13で、再び、カウンタ回路12のカウントパルス数が正常であることが検出されるようになってから、電圧保持信号HDを解除するように構成する。

【0169】その結果、第1の入力基準信号C1にノイズが混入したり、瞬間的な外乱が入っても、直ちにこれが復旧した場合、ただちに第1の入力基準信号C1によるクロック信号CLKの制御を継続できるので、回路の冗長度を更に高めることができる。

【0170】もちろん、クロック数判定回路13で、一定時間以上、カウンタ回路12によりカウントされるクロック数が異常であった場合、選択回路5に対して、選択切替信号SELを与え、基準信号Cを第1の入力基準信号C1から第2の入力基準信号C2に切り替える。

【0171】実施例13. 実施例13のPLL回路装置では、図5の構成において、クロック数判定回路13が、一度、カウンタ回路12によるクロック信号CLKのカウント数から、第1の入力基準信号C1の異常を検出して、選択切替信号SELを出力すると、一定時間は、選択切替信号SELの出力を禁止する。

【0172】つまり、実施例13では、クロック数判定回路13が、カウンタ回路12のカウント数の異常から、第1の入力基準信号C1の異常を検出すると、これに対応して、選択切替信号SELおよび電圧保持信号HDを出力するような構成を例示したが、この実施例13では、クロック数判定回路13が一度、第1の入力基準信号C1の異常を検出して、選択切替信号SELを出力すると、その後の一定時間は、選択切替信号SELを出力しないような構成とする。

【0173】このような構成によれば、選択回路5が、第1の入力基準信号C1から第2の入力基準信号C2に信号を切り替えたにもかかわらず、回路が安定するまでの時間によっては、クロック数判定回路13から再び、選択切替信号SELが出力され、次から次に、別の基準信号に信号を切り替えたり、第1の入力基準信号C1への切り戻しを発生したりするなどの不都合が発生する可能性があるが、このような不都合を防止することが可能である。

【0174】なお、実施例13では、クロック数判定回路13から選択切替信号SELが出力されると、一定の時間は、クロック数判定回路13からの選択切替信号SELの出力を禁止するような構成を例示したが、この機能を選択回路5側に持たせても同様の効果を得ることができる。つまり、選択回路5が一度、選択切替信号SELを受け付けて、基準信号の切替を行うと、一定の時間は、選択切替信号SELを受け付けなくするようにしてもよい。

【0175】なお、上記各実施例において、制御電圧保持回路7は、ローパスフィルタ2の前の段に配置される構成を例示したが、位相比較器1の出力をローパスフィルタ2により平滑化した信号に対して、制御電圧保持回路7を作用させるような構成としても良く、同様の効果を得ることができる。

【0176】また、上記各実施例では、現用系において用いられる第1の入力基準信号C1に対して、予備系として用いられる第2の入力基準信号C2を、1つとして例示したが、第2の入力基準信号C2としては、複数設けるようにしてもよく、系の信頼度を更に高めることができる。

【0177】また、上記各実施例では、選択回路5に与える選択切替信号SELと、制御電圧保持回路7に与える電圧保持信号HDを、別々の信号として出力するような構成を例示したが、これは、機能によっては、同じ信号としてもよい。

【0178】

【発明の効果】以上述べたように、この発明のPLL回路装置は、基準信号と電圧制御発振器により発生するクロック信号の分周信号の位相を比較する回路と、電圧制御発振器の間に、制御電圧保持回路を配置し、基準信号に異常があった場合に、制御電圧保持回路を動作させて、電圧制御発振器に対する制御信号を安定化させてから、基準信号を現用系から予備系に切り替えるように構成したので、基準信号の切替時の不安定な動作を防止することが可能であり、大幅に信頼性を高めることが可能である。

【図面の簡単な説明】

【図1】 この発明の実施例1、実施例2のPLL回路装置の回路図である。

【図2】 この発明の実施例3、実施例4、実施例5のPLL回路装置の回路図である。

【図3】 この発明の実施例6、実施例7のPLL回路装置の回路図である。

【図4】 この発明の実施例8、実施例9、実施例10のPLL回路装置の回路図である。

【図5】 この発明の実施例11、実施例12、実施例13のPLL回路装置の回路図である。

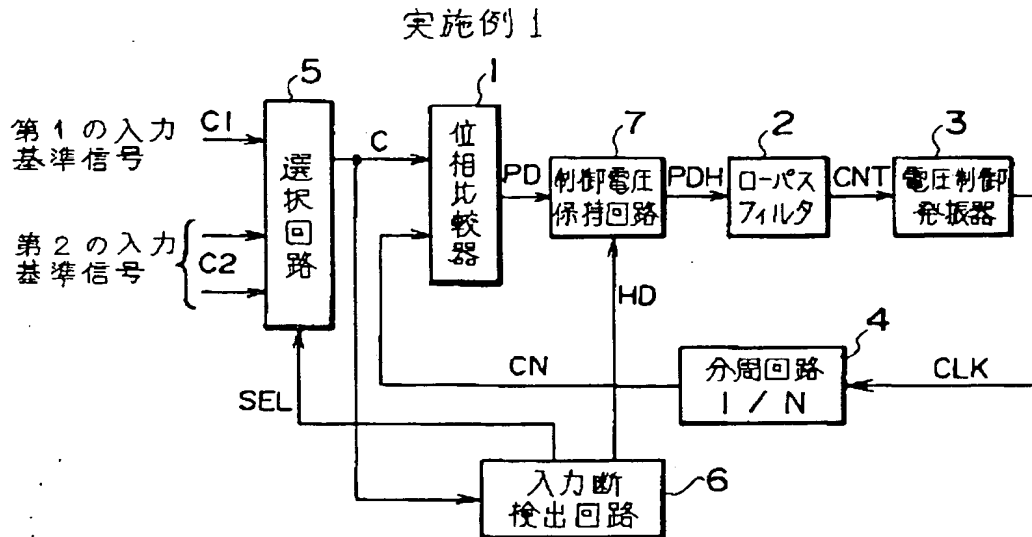
【図6】 従来のPLL回路装置の回路図である。

【符号の説明】

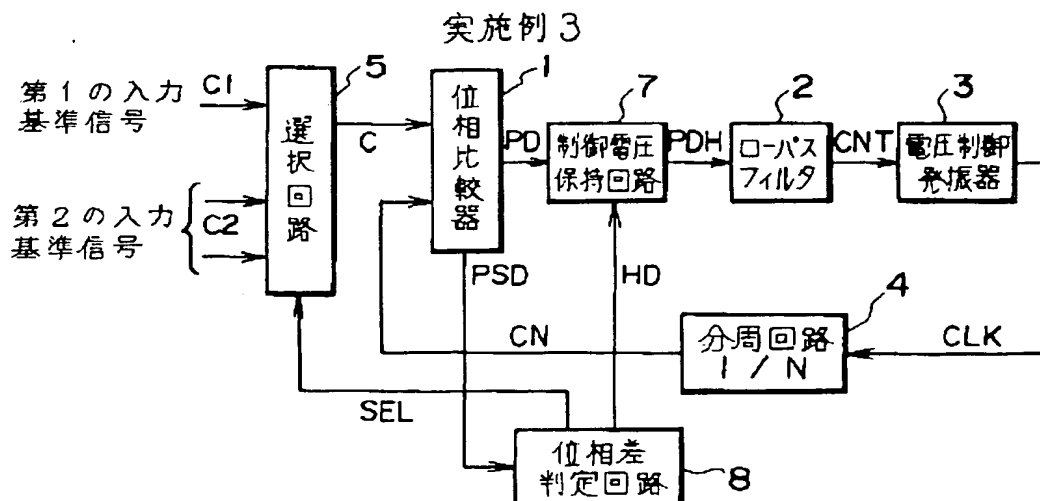
1 位相比較器、2 ローパスフィルタ、3 電圧制御発振器、4 分周回路、5 選択回路、6 入力断検出回路、7 制御電圧保持回路、8 位相差判定回路、

9 電圧変化検出器、10 ウィンドウ生成回路、11 パルス検出回路、12 カウンタ回路、13 クロック数判定回路。

【図1】

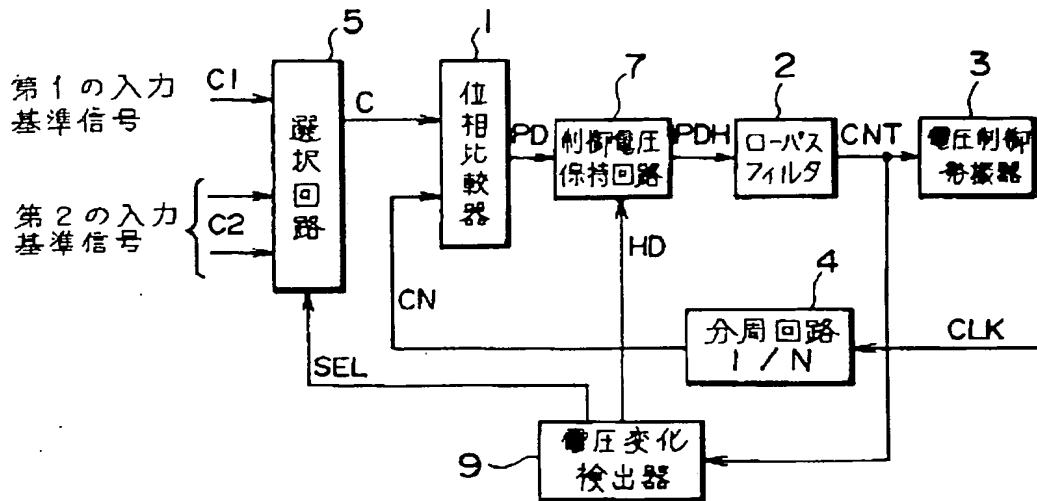


【図2】



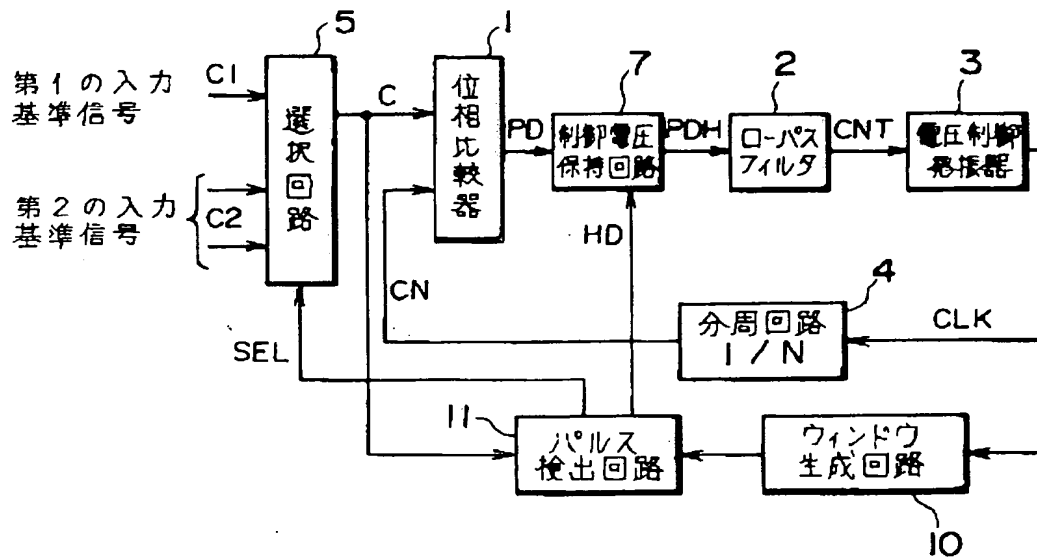
【図3】

実施例 6



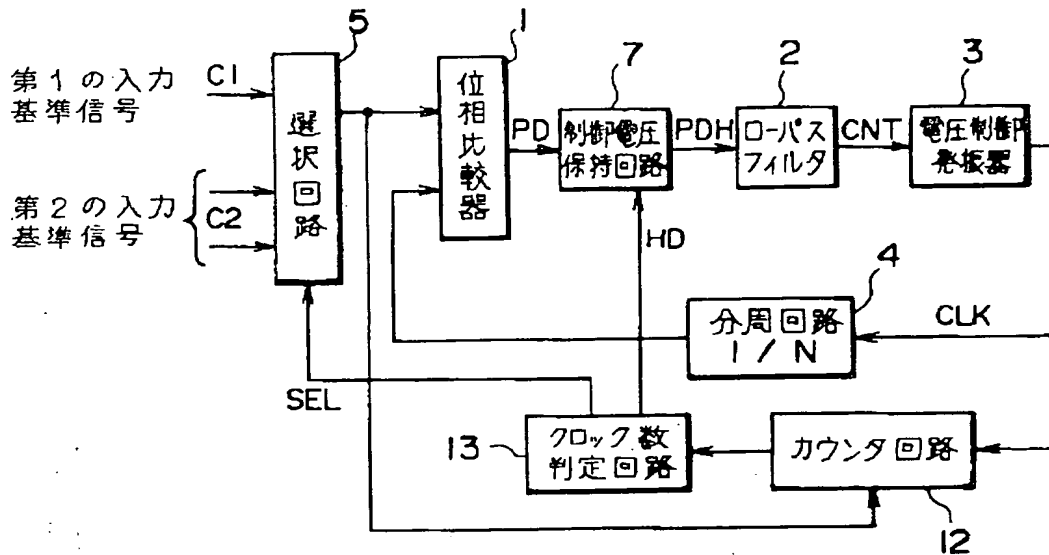
【図4】

実施例 8



【図5】

実施例11



【図6】

従来例

